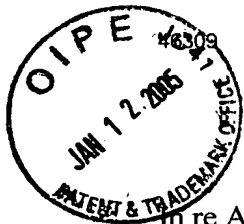


IFW



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Min-Woong Ha et al.

Serial No.: 10/776,217

Filed: February 12, 2004

For: CIRCUIT FOR REDUCING  
LEAKAGE CURRENT IN A  
PROCESSOR

Group Art Unit: Not Assigned

Examiner: Not Assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In order to perfect the claim for priority under 35 U.S.C. §119(a), the Applicants herewith submit a certified copy of Korean Patent Application No. 2003-9844, as filed on February 17, 2003. Should anything further be required, the Office is asked to contact the undersigned attorney at the local telephone number listed below.

Respectfully submitted,

Peter L. Kendall  
Attorney of Record  
Reg. No.: 56,022

Roylance, Abrams, Berdo & Goodman, L.L.P.  
1300 19<sup>th</sup> Street, N.W., Suite 600  
Washington, D.C. 20036-2680  
(202) 659-9076

Dated: January 12, 2005



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0009844  
Application Number

출원 년 월 일 : 2003년 02월 17일  
Date of Application FEB 17, 2003

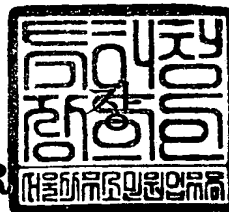
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 12 월 20 일

특 허 청

COMMISSIONER



**【서지사항】**

<b>【서류명】</b>	명세서 등 보정서
<b>【수신처】</b>	특허청장
<b>【제출일자】</b>	2004.11.23
<b>【제출인】</b>	
<b>【명칭】</b>	삼성전자 주식회사
<b>【출원인코드】</b>	1-1998-104271-3
<b>【사건과의 관계】</b>	출원인
<b>【대리인】</b>	
<b>【성명】</b>	이건주
<b>【대리인코드】</b>	9-1998-000339-8
<b>【포괄위임등록번호】</b>	2003-001449-1
<b>【사건의 표시】</b>	
<b>【출원번호】</b>	10-2003-0009844
<b>【출원일자】</b>	2003.02.17
<b>【심사청구일자】</b>	2003.02.17
<b>【발명의 명칭】</b>	프로세서의 누설 전류 감소 회로
<b>【제출원인】</b>	
<b>【발송번호】</b>	9-5-2004-0398001-01
<b>【발송일자】</b>	2004.09.23
<b>【보정할 서류】</b>	명세서등
<b>【보정할 사항】</b>	
<b>【보정대상항목】</b>	별지와 같음
<b>【보정방법】</b>	별지와 같음
<b>【보정내용】</b>	별지와 같음
<b>【취지】</b>	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 이건주 (인)
<b>【수수료】</b>	
<b>【보정료】</b>	3,000 원
<b>【추가심사청구료】</b>	0 원
<b>【기타 수수료】</b>	0 원
<b>【합계】</b>	3,000 원

【보정대상항목】 청구항 1

【보정방법】 삭제

【보정대상항목】 청구항 2

【보정방법】 삭제

【보정대상항목】 청구항 3

【보정방법】 정정

【보정내용】

제이택 테스트 단자를 구비한 프로세서로 구성되는 전자기기의 회로에 있어서,  
상기 제이택 테스트 단자 중 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 트랜지스터를 연결하여 구성하며, 상기 트랜지스터를 통한 전류가 상기 초기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순방향 바이어스가 걸리도록 상기 트랜지스터를 배치함을 특징으로 하는 프로세서의 누설 전류 감소 회로.

【보정대상항목】 청구항 7

【보정방법】 정정

【보정내용】

제3항에 있어서,  
상기 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 모스 전계 효과 트랜지스터(MOSFET)를 연결하여 구성하며, 상기 모스 전계 효과 트랜지스터를 통한 전류가

상기 초기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순방향 바이어스가 걸리도록 배치함을 특징으로 하는 프로세서의 누설 전류 감소 회로.

【보정대상항목】 청구항 11

【보정방법】 정정

【보정내용】

제3항에 있어서,

상기 제이텍 단자를 구비한 프로세서는 이동통신 단말기에 포함되는 모뎀 칩임을 특징으로 하는 프로세서의 누설 전류 감소 회로.

【보정대상항목】 청구항 12

【보정방법】 정정

【보정내용】

제3항에 있어서,

상기 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 연결되는 반도체 소자는 상기 프로세서 칩 내부에 구성됨을 특징으로 하는 프로세서의 누설 전류 감소 회로.



1020030009844

출력 일자: 2004/12/21

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.02.17
【국제특허분류】,	H04J
【발명의 명칭】	프로세서의 누설 전류 감소 회로
【발명의 영문명칭】	CIRCUIT FOR REDUCING LEAKAGE CURRENT OF PROCESSOR
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	2003-001449-1
【발명자】	
【성명의 국문표기】	하민웅
【성명의 영문표기】	HA,Min Woong
【주민등록번호】	670206-1558826
【우편번호】	449-812
【주소】	경기도 용인시 포곡면 둔전리 목련 아파트 5동 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	임준혁
【성명의 영문표기】	IM,June Hyeok
【주민등록번호】	660305-1074215
【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 거성빌라 2-105
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이건주 (인)



1020030009844

출력 일자: 2004/12/21

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	11	면	11,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	12	항	493,000	원
【합계】	533,000			원

**【요약서】****【요약】**

본 발명은 제이텍 테스트 단자를 구비한 프로세서로 구성되는 전자기기의 회로에 관한 것으로, 상기 프로세서에 구비되는 제이텍 테스트 단자 중 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 반도체 소자를 연결하여 구성하며, 상기 반도체 소자를 통해 상기 초기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순방향 전류가 흐르도록 상기 반도체 소자를 배치함을 특징으로 한다.

**【대표도】**

도 4a

**【색인어】**

제이텍, 테스트 단자, 프로세서, 초기화 테스트 핀, 리셋 핀, 다이오드



## 【명세서】

## 【발명의 명칭】

프로세서의 누설 전류 감소 회로{CIRCUIT FOR REDUCING LEAKAGE CURRENT OF PROCESSOR}

## 【도면의 간단한 설명】

도 1a는 종래 기술에 따른 제이텍의 TRSTB 단자를 플로팅하였을 경우 정상적인 상태의 파형을 나타낸 도면.

도 1b는 종래 기술에 따른 제이텍의 TRSTB 단자를 플로팅하였을 경우 비정상적인 상태의 파형을 나타낸 도면.

도 2는 종래 기술에 따른 제이텍의 TRSTB 단자에 저항을 연결하였을 경우의 회로를 나타낸 도면.

도 3은 종래 기술에 따른 제이텍의 TRSTB 단자에 저항을 연결하였을 경우의 파형을 나타낸 도면.

도 4a는 본 발명의 제1 실시예에 따른 제이텍의 TRSTB 단자에 다이오드를 연결하였을 경우의 회로를 나타낸 도면.

도 4b는 본 발명의 제1 실시예에 따른 제이텍의 TRSTB 단자에 다이오드를 연결한 회로를 프로세서 내부에서 구현한 도면.

도 5는 본 발명에 따른 제이텍의 TRSTB 단자에 다이오드를 연결하였을 경우의 파형을 나타낸 도면.

도 6a 내지 6d는 본 발명의 실시예에 따른 초기화 테스트 핀과 리셋 핀 사이의 전압 영향 관계를 나타낸 도면.

도 7은 본 발명의 제2 실시예에 따른 제이텍의 TRSTB 단자에 트랜지스터를 연결하였을 경우의 회로를 나타낸 도면.

도 8은 본 발명의 제3 실시예에 따른 제이텍의 TRSTB 단자에 모스 전계 효과 트랜지스터를 연결하였을 경우의 회로를 나타낸 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 프로세서에서 소모 전류 감소를 위한 회로에 관한 것으로, 특히 제이텍 테스트 단자의 누설 전류를 감소시켜 소모 전류를 감소시키기 위한 회로에 관한 것이다.
- <12> 통상적으로 프로세서는 전자기기에서 제어 동작을 하는데 사용하는 소자이다. 따라서, 전자기기에 필수적으로 사용된다. 이러한 프로세서가 사용되는 예로는 보편적으로 사용되는 컴퓨터나 핸드폰 및 텔레비전 등의 가정용 전자기기에서부터 핸드폰 서비스를 위한 기지국, 기지국 제어기 및 이동 교환 시스템은 물론 각종 전송 시스템 등의 많은 분야에서 사용되고 있다.
- <13> 상기한 바와 같은 전자기기들 중에서 하나의 프로세서로 동작되는 경우가 존재한다. 상기 하나의 프로세서로 존재하는 경우 즉, SOC(System On a Chip)로 구동되는 경우에는 실장되는 프로그램의 개발 및 주변 회로의 개발 등을 위한 단자가 구비된다.
- <14> 이하, 이동통신 단말기 등에 사용되는 MSM 칩이나 Intel 회사의 칩을 예를 들어 설명하면 하기와 같다.

- <15>      상기한 칩에는 테스트 등을 위해 제이텍(JTAG; Joint Test Action Group) 단자를 구비한다. 상기 제이텍 단자는 5개의 핀(Pin)으로 구성되는데 이를 설명하면 다음과 같다.
- <16>      첫째로, TCK(Test Clock Input) 핀(Pin)으로 테스트 클럭이 입력되는 핀이고, 둘째로, TRSTB(Test Reset Input) 핀으로 테스트 시에 리셋을 위한 핀이며, 셋째로, TDO(Test Data Output) 핀으로 테스트 시에 데이터의 출력 핀이고, 넷째로, TDI(Test Data Input) 핀으로 테스트 시에 데이터의 입력 핀이며, 마지막으로 TMS(Test Mode Select Input) 핀으로 테스트 시에 모드를 설정하기 위한 핀이다.
- <17>      상기한 바와 같은 제이텍 단자는 하나의 칩으로 구성되는 보드의 개발 시에 보드의 테스트를 위해 또는 칩의 불량 상태를 검출하거나 제품에 테스트할 소프트웨어의 업그레이드 및 수행되는 프로그램의 진행 상황 등을 감시(monitoring)하는데 사용된다.
- <18>      상기 제이텍 테스트를 지원하는 반도체 칩은 내부에 탭 제어기를 구비한다. 또한 상기 제이텍 테스트를 지원하는 반도체 칩의 상기 탭 제어기를 초기화시키는 상기 TRSTB 핀(이하 '초기화 테스트 단자'라 한다)은 제이텍 테스트 시 초기화 동작을 위하여 칩 내부에 풀 업(pull up) 저항을 사용하여 초기화 값을 유지한다. 상기 핀은 시스템의 정상동작(normal operation) 모드에서 칩 내부의 프로세서 동작을 초기화하도록 연결되어 있다. 따라서, 제이텍 스펙(ARM DDI 0029G)을 참조하면 칩의 전원(power)을 온(ON) 시킨 후 초기에 일정기간 로우(Low; '0')를 유지한 후 하이(high; '1')로 변환('0' → '1')하거나 또는 초기부터 계속 로우(low)를 유지해야 내부 프로세서가 정상동작을 할 수 있도록 되어있다.
- <19>      그러므로, 상기 제이텍 테스트를 지원하는 시스템의 구성 시에 사용되는 반도체 칩에서 탭 제어기를 초기화하는 초기화 테스트 단자는 일반적인 리셋 핀(reset pin)과 동일하게 칩 내

부에 상기 풀 업(pull up) 저항을 사용하여 외부의 노이즈 성분으로 인한 리셋 동작이 발생하는 것을 방지하는 기능을 수행한다.

<20> 그리고, 상기 제이텍 단자의 다른 핀들을 통해 데이터 및 제어 신호를 수신한다. 이와 같이 입력된 데이터 및 제어 신호는 제이텍 인터페이스 회로에서 프로세서 내부에서 처리 가능한 형태로 변환된 데이터 및 제어 신호(Data / Control Signal)를 출력한다. 즉, 테스트 장치로부터 입력되는 데이터 및 제어 신호는 제이텍 단자의 각 핀들을 통해 입력되어 내부에 구비된 제이텍 인터페이스 회로에서 처리된 후 프로세서에서 처리된다.

<21> 한편, 상기 제이텍 단자는 테스트를 수행하거나 또는 제품의 제조 시에 프로그램의 업로드 또는 프로그램의 갱신 등을 수행할 경우에만 사용되므로 이들이 제품화되어 출시되면 사용되지 않는 단자가 된다. 그러므로, 특별한 기능을 수행하지 않으므로 상기한 핀들은 대개 플로팅(floating)된 상태로 제품에 실장된다. 그런데 상기 제이텍 핀들 중 상기 초기화 테스트 핀은 리셋을 수행하는 핀으로 프로세서를 리셋시키는 기능을 수행한다. 따라서, 상기 초기화 테스트 핀은 플로팅 상태를 유지하는 경우 온도의 변화 또는 충격 및 정전기 등으로 인하여 노이즈가 입력되어 프로세서가 리셋되는 문제가 발생할 수 있다.

<22> 이하, 도 1a 및 도 1b에 도시된 그래프를 참조하여 보다 구체적으로 설명하면 다음과 같다. 상기 도 1a에 도시된 바에 따르면 정상적인 경우에 있어 상기 초기화 테스트 단자의 전압(굵은 선으로 표시)이 초기에 로우(Low) 상태를 유지하다가 전원이 온(On) 상태가 된 후, 전원 안정화 시점이 지나서 하이(High)로 변환되는 파형을 나타내는 것이 바람직하다.

<23> 그러나, 상술한 바와 같이 상기 초기화 테스트 단자를 플로팅 상태로 오픈(open) 시켜두었을 경우, 프로세서의 초기 전원 인가시 데이터 케이블(Uart 전압)에 의한 I/O 패드(Pad) 오프셋(offset) 전압 값이나 온도의 영향으로 상기 초기화 테스트 단자의 불안정한 동작을 유발



하여 부팅이 안되는 상태(No Booting)와 같은 이상 동작이 발생할 수 있다. 즉, 도 1b를 참조하면 전원 안정화 시점 이전에 초기화 테스트 단자(굵은 선으로 표시)가 하이(High)로 변환됨으로 인해 비정상적인 오동작을 유발시킬 수 있음을 알 수 있다.

<24> 따라서, 상기와 같이 가끔씩 발생하는 비정상적인 현상을 방지하기 위하여 기존 회로에는 상기 제이텍 초기화 테스트 단자에 풀 다운(pull down) 저항을 연결시켜 전압을 항상 로우(Low)로 유지하고 있다.

<25> 도 2는 종래 기술에 따른 제이텍의 초기화 테스트 단자에 풀 다운 저항을 연결하였을 경우의 회로를 나타낸 도면이다.

<26> 상기 도 2를 참조하면, 상기 프로세서(10)의 초기화 테스트 단자(13)의 외부에 풀 다운 저항(11)이 연결되도록 구성한다. 상기 풀 다운 저항(11)은 정상동작 모드에서 칩 내의 프로세서 초기화를 위해 초기부터 로우(low; '0')상태를 유지시켜 준다. 또한, 상기 풀 업(pull up) 저항(12)은 프로세서 칩(10)의 내부에 구비되며, 초기화 테스트 단자(13)과 연결된다. 따라서, 제이텍 테스트 모드 시에 테스트 장치로부터 수신되는 신호를 수신한다. 즉, 도 3에 도시된 바와 같이 초기화 테스트 단자의 전압(굵은 선으로 표시)을 일정하게 로우(low; '0') 상태로 유지시켜 줌으로 인해 제이텍 테스트 단자의 오동작을 방지할 수 있게 된다.

<27> 또한, 상기 프로세서(10)의 리셋 단자(14)에는 리셋 칩(20)이 연결되어 있으며, 상기 리셋 칩(20)은 상기 리셋 단자(14)로 리셋 신호를 인가시키는 역할을 수행한다. 보다 구체적으로 상기 리셋 칩(20)은 상기 프로세서(10)의 전원이 온(On)되었을 경우, 통상적으로 상기 전원이 온 된 시점에서 20ms정도 시간이후에, 리셋 신호를 상기 리셋 단자(14)로 입력시키는 역할을 수행한다. 상기 리셋 칩(20)과 연결된 저항(15)은 상기 리셋 단자(14)의 풀 업(Pull-up) 저항이다.



<28> 상기 리셋 칩(20)은 상기와 같이 프로세서(10)의 리셋을 위해 항상 연결되어 있으며, 상기 초기화 테스트 단자(13) 및 상기 리셋 단자(14)는 일반적으로 제품 생산이후 플로팅 된 상태를 유지한다.

<29> 한편, 상기 초기화 테스트 단자(13) 사이에 상기와 같은 구성을 가질 경우 상기 프로세서가 탑재된 제품은 칩 내부의 풀 업 저항(12)과 외부의 풀 다운 저항(11) 사이에 전류 패스가 형성된다. 즉, 상기 프로세서는 상기한 전류 패스를 통해 항상 일정한 양의 누설전류가 흐르게 된다. 상기 누설 전류를 일반적인 휴대용 단말기의 모뎀 칩의 예로서 각 소자의 값을 표시한 상기 도 2를 참조하여 계산해 보면 하기 <수학식 1>과 같다.

<30>

$$I = \frac{V}{R} = \frac{2.8}{(90K \pm 20K + 10K)} = 23 \sim 35 \mu A$$

【수학식 1】

<31> 여기서, 상기 모뎀 칩 프로세서(10) 내부의 풀 업 저항(12)의 이론값은 도식된 바와 같이 100K의 값을 가지나, 실제 공정상 90K±20K의 값을 가진다.

<32> 즉, 상기 <수학식 1>을 참조하면 휴대용 단말기의 모뎀 칩 프로세서에는 상기 프로세서를 사용하지 않을 경우라 할지라도 상기 초기화 테스트 단자를 통해 항상 23~35μA 만큼의 불필요한 전류 소모를 가져오게 된다.

<33> 따라서, 상기한 프로세서가 배터리에 의해 동작하는 경우에 있어, 예컨대 이동통신 단말 또는 노트북 컴퓨터와 같은 제품의 경우 동작 중이지 않은 경우에도 불필요한 누설 전류로 인하여 제품의 사용 시간이 단축되는 문제가 발생한다.

**【발명이 이루고자 하는 기술적 과제】**

- <34> 따라서 본 발명의 목적은 제이텍 테스트 단자를 가지는 프로세서를 구비하는 전자기기에  
서 누설 전류를 감소시키기 위한 회로를 제공함에 있다.
- <35> 본 발명의 다른 목적은 제이텍 테스트 단자를 가지는 프로세서를 구비하는 전자기기에서  
소모전력을 줄일 수 있는 회로를 제공함에 있다.
- <36> 본 발명의 또 다른 목적은 제이텍 테스트 단자를 가지는 프로세서를 구비한 이동 단말기  
에서 이동 단말기의 사용 시간을 늘일 수 있는 회로를 제공함에 있다.
- <37> 상기한 목적을 달성하기 위한 본 발명은 제이텍 테스트 단자를 구비한 프로세서로 구성  
되는 전자기기의 회로에 있어서, 상기 프로세서에 구비되는 제이텍 테스트 단자 중 초기화 테  
스트 핀과 상기 프로세서의 리셋 핀 사이에 반도체 소자를 연결하여 구성하며, 상기 반도체 소  
자를 통해 상기 초기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순방향 전류가 흐르도록  
상기 반도체 소자를 배치함을 특징으로 한다.
- <38> 상기 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 다이오드를 연결하여 구성하  
며, 상기 다이오드를 통한 전류가 상기 초기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순  
방향 바이어스가 걸리도록 배치함을 특징으로 한다.
- <39> 또한, 상기한 목적을 달성하기 위한 본 발명은 상기 초기화 테스트 핀과 상기 프로세서  
의 리셋 핀 사이에 트랜지스터를 연결하여 구성하며, 상기 트랜지스터를 통한 전류가 상기 초  
기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순방향 바이어스가 걸리도록 배치함을 특징  
으로 한다.

- <40>      상기 트랜지스터는 NPN형 트랜지스터이며, 상기 트랜지스터의 컬렉터 단자는 상기 초기화 테스트 핀과 연결되고, 상기 트랜지스터의 에미터 단자는 상기 리셋 핀에 연결됨을 특징으로 한다.
- <41>      상기 트랜지스터는 PNP형 트랜지스터이며, 상기 트랜지스터의 에미터 단자는 상기 초기화 테스트 핀과 연결되고, 상기 트랜지스터의 컬렉터 단자는 상기 리셋 핀에 연결됨을 특징으로 한다.
- <42>      상기 트랜지스터의 베이스 단자에는 상기 초기화 테스트 핀으로부터 상기 리셋 핀으로 흐르는 전류를 제어하는 제어신호가 입력됨을 특징으로 한다.
- <43>      또한, 상기한 목적을 달성하기 위한 본 발명은 상기 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 모스 전계 효과 트랜지스터(MOSFET)를 연결하여 구성하며, 상기 모스 전계 효과 트랜지스터를 통한 전류가 상기 초기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순방향 바이어스가 걸리도록 배치함을 특징으로 한다.
- <44>      상기 모스 전계 효과 트랜지스터를 엔채널(N Channel) 모스 전계 효과 트랜지스터(MOSFET)이며, 상기 모스 전계 효과 트랜지스터의 드레인 단자는 상기 초기화 테스트 핀과 연결되고, 상기 모스 전계 효과 트랜지스터의 소스 단자는 상기 리셋 핀에 연결됨을 특징으로 한다.
- <45>      상기 모스 전계 효과 트랜지스터를 피채널(P Channel) 모스 전계 효과 트랜지스터(MOSFET)이며, 상기 모스 전계 효과 트랜지스터의 드레인 단자는 상기 초기화 테스트 핀과 연결되고, 상기 모스 전계 효과 트랜지스터의 소스 단자는 상기 리셋 핀에 연결됨을 특징으로 한다.



- <46>      상기 모스 전계 효과 트랜지스터의 게이트 단자에는 상기 초기화 테스트 핀으로부터 상기 리셋 핀에 인가되는 전압을 제어하는 제어신호가 입력됨을 특징으로 한다.
- <47>      상기 제이텍 단자를 구비한 프로세서는 이동통신 단말기에 포함되는 모뎀 칩임을 특징으로 한다.
- <48>      상기 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 연결되는 반도체 소자는 상기 프로세서 칩 내부에 구성됨을 특징으로 한다.

#### 【발명의 구성 및 작용】

- <49>      이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명한다. 또한 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단된 경우 그 상세한 설명은 생략한다.
- <50>      본 발명은 상기한 바와 같이 소정의 프로세서의 테스트를 위한 제이텍 단자의 누설 전류를 감소시키기 위하여 상기 제이텍 단자의 초기화 테스트 단자와 리셋 단자 사이에 반도체 소자를 연결한다.
- <51>      도 4a는 본 발명의 제1 실시예에 따른 제이텍의 초기화 테스트 단자에 다이오드를 연결하였을 경우의 회로를 나타낸 도면이다.
- <52>      상술한 바와 같이 상기 프로세서 칩(10)은 제이텍(JTAG; Joint Test Action Group) 단자를 구비한다. 상기 제이텍 단자는 TCK(Test Clock Input) 핀(Pin), TRSTB(Test Reset Input) 핀, TDO(Test Data Output) 핀, TDI(Test Data Input) 핀 및 TMS(Test Mode Select Input) 핀의 5개의 핀으로 구성된다.

<53>      상기 도 4a에서는 상술한 핀들 중 본 발명과 관련된 리셋에 사용되는 초기화 테스트 단자(TRSTB; 13)만을 도시하였다. 상기 초기화 테스트 단자(13)는 제이텍 테스트를 지원하는 프로세서 칩(10)의 상기 탭 제어기를 초기화시키는 제이텍 테스트 시 초기화 동작을 위해 칩 내부에 풀 업(pull up) 저항(미도시)을 연결한다. 이는 상기 핀의 특성에 따른 것이다. 이를 상술하면 상기 제이텍 테스트를 수행하는 칩(10)의 전원(power)을 온(ON) 시킨 후 초기에 일정한 로우(low; '0')를 유지한 후 하이(high; '1')로 변환('0' → '1')하거나 또는 초기부터 계속 로우(low)를 유지해야 내부 프로세서가 정상동작을 할 수 있다. 제이텍 테스트를 원활하게 수행할 수 있도록 하며 풀 다운 저항에 의한 누설 전류가 발생하는 것을 방지하기 위해 본 발명에 따라 상기 초기화 테스트 단자(13)과 리셋 단자(14) 사이에 반도체 소자의 일종인 다이오드(30)를 연결한다.

<54>      상기와 같이 다이오드를 상기 초기화 테스트 단자(13)과 리셋 단자(14) 사이에 도 4a에 도시된 바와 같이 순방향 바이어스가 걸리도록 연결할 경우, 상술한 초기화 테스트 핀의 전압을 만족시키면서, 종래의 풀 다운 저항을 사용했을 경우와 같은 누설 전류가 발생하지 않게 된다. 한편, 상기 다이오드를 연결한 회로는 도 4b에 도시된 바와 같이 상기 프로세서 내부에 구성할 수 있으며, 상기 외부에 회로를 구성할 경우와 동일한 결과를 가져오게 됨은 자명하다.

<55>      한편, 이하 상기 다이오드를 구비하였을 경우에 있어서 상기 프로세서에 전원을 인가하였을 경우 동작 상황을 도 5를 참조하여 설명한다.

<56>      먼저, 상기 프로세서(10)에 전원이 인가되고, 소정의 시간이 지나 전원 안정화 시점이 될 때까지, 상기 초기화 테스트 단자(13)는 로우(Low) 상태를 유지한다. 전원 안정화 후, 상기 프로세서(10)의 리셋을 위하여 리셋 단자(14)가 하이(High)로 변할 때 까지는 통상 20ms의 시간이 걸린다. 상기 시간간격 동안 상기 초기화 테스트 단자(13)는 상기 리셋 단자(14)로 다이

오드(30)를 통하여 순방향 전류가 흐른다. 따라서, 상기 초기화 테스트 단자(13)의 전압은 상기 다이오드(30)의 내부 전압을 고려한 0.6V 정도의 전압만이 인가된다.

<57>       그런다음, 상기 리셋 단자(14)가 하이(High)로 변할 때, 상기 다이오드(30)에 역방향 바이어스가 인가되므로 상기 초기화 테스트 단자(13)와 상기 리셋 단자(14)간에는 오픈(Open)된 상태와 같게 된다. 따라서, 상기 초기화 테스트 단자(13)의 전압은 2.8V가 유지된다.

<58>       즉, 상기와 같이 상기 초기화 테스트 단자(13)도 하이(High)로 변함으로써, 제이텍 스펙 (ARM DDI 0029G)상의 초기화 테스트 단자의 조건을 만족시켜 오동작이 일어나지 않게 되며, 상기 다이오드(30)에 리셋 단자(14)로부터의 전압이 역방향으로 인가되어, 전류가 흐르지 않음으로 소모 전류가 발생하지 않는다.

<59>       보다 구체적으로 설명하면, 전원이 인가될 때 상기 다이오드(30)에는 순방향 바이어스가 걸리며, 다이오드(30) 자체의 저항 성분에 의한 전압 강하 0.6V 만이 인가된다. 즉, 상기 다이오드(30)를 통한 전압 강하는 거의 일어나지 않으며, 상기 프로세서 칩 내부의 풀 업 저항(대개 100K $\Omega$ ; 미도시)에 거의 모든 전압이 인가되므로 상기 초기화 테스트 단자(13)는 거의 0V를 유지하게 된다.

<60>       따라서, 저항을 사용했을 경우와 비교할 때, 전류 손실이 거의 없게된다. 또한, 전원이 안정화 된 후, 상기 프로세서를 리셋하기 위하여 상기 리셋 단자로 2.8V의 시그널이 입력(즉, High 상태)되면, 상기 다이오드(30)에는 역방향 바이어스가 걸리게 되어, 상기 다이오드(30)를 통해 전류가 흐르지 않게 된다. 즉, 상기 초기화 테스트 단자(40)와 상기 리셋 단자(14)는 오픈(Open)된 상태와 같게 된다.

- <61> 따라서, 상기 초기화 테스트 단자의 조건을 만족할 뿐만 아니라, 전류 손실도 발생하지 않게 된다.
- <62> 또한, 종래 기술에 따르면 상기 초기화 테스트 단자(13)와 리셋 단자(14)간의 연결이 없었으므로 상기 두 단자 사이의 영향을 고려할 필요가 없었지만, 본 발명에 따르면 상기 다이오드가 상기 초기화 테스트 단자와 리셋 단자 사이에 연결됨으로 인해 상기 단자들 사이의 영향을 고려해야 한다. 즉, 상기 초기화 테스트 단자의 동작에 따라, 상기 리셋 단자가 영향을 받지 않도록 설계되어야 한다. 왜냐하면, 상기 초기화 테스트 단자의 입력 신호에 따라 상기 리셋 단자의 입력 전압이 영향을 받을 경우, 원하지 않는 프로세서 칩의 리셋 동작이 진행될 수 있다.
- <63> 따라서, 이하 본 발명에 따라 상기 두 단자들이 상기 다이오드(30)로 연결되었어도 상기 프로세서에 영향이 없음을 도 6a 내지 도 6d를 참조하여 설명한다.
- <64> 먼저, 도 6a는 리셋 단자가 동작할 경우, 즉 상기 리셋 단자로 2.8V의 클럭 신호가 입력될 경우의 그래프이며, 도 6b는 상기 도 6a의 신호에 따른 초기화 테스트 단자의 전압 변화를 나타낸 그래프이다. 상기 도 6a에 도시된 바와 같이 리셋 단자에 2.8V의 전압이 인가될 경우, 상기 도 6b의 초기화 테스트 단자의 파형을 살펴보면 상기 클럭 신호에 따라 리셋 단자가 하이(High)일 경우 두 단자 사이의 다이오드(30)에 역방향 바이어스가 인가됨으로 인해, 전류가 흐르지 않아 상기 초기화 테스트 단자는 2.8V가 유지되며, 상기 리셋 단자의 전압이 로우(Low)로 떨어질 경우 두 단자 사이의 다이오드(30)에 순방향 바이어스가 인가됨으로 인해, 순방향 전류가 흘러 상기 테스트 단자는 상기 다이오드 자체의 저항 성분에 따른 전압, 즉 0.6~0.7V의 전압만이 인가된다. 따라서, 상기 리셋 단자의 신호에 따라서, 상기 초기화 테스트 단자가 영향을 받음으로 인해, 상기 리셋 단자의 기능이 정상적으로 작동된다.

- <65> 반대로, 상기 초기화 테스트 단자의 전압 변화에 따른 리셋 단자의 반응은 도 6c 및 도 6d에 도시되어 있다.
- <66> 상기 도 6c에 도시된 바와 같이, 상기 초기화 테스트 단자에 2.8V의 클럭 신호가 인가될 경우, 상기 리셋 단자는 도 6d에 도시된 바와 같이 2.8V를 유지하게 된다. 즉, 상기 초기화 테스트 단자의 클럭 신호가 로우(Low)로 떨어진다고 할 지라도, 상기 다이오드(30)에 역방향 바이어스가 인가되어 상기 다이오드를 통해 전류가 흐르지 않는다. 즉, 상기 초기화 테스트 단자의 전압 변화는 상기 리셋 단자에 영향을 주지 않게 된다. 따라서, 상기 초기화 테스트 단자를 통해 각종 테스트 작업이 진행될 경우, 상기 리셋 단자의 작동으로 인해 상기 프로세서(10) 전체가 리셋되는 오동작이 발생하지 않는다.
- <67> 결국, 상기 두 단자 사이에 다이오드를 연결함으로 인해, 상기 두 단자의 연결에 따른 각 단자들간의 영향이 없도록 구현하는 것이 가능해진다.
- <68> 도 7은 본 발명의 제2 실시예에 따른 제이텍의 초기화 테스트 단자(TRSTB)에 트랜지스터를 연결하였을 경우의 회로를 나타낸 도면이다.
- <69> 상술한 바와 같이 상기 초기화 테스트 단자와 리셋 단자 사이에 다이오드를 연결하는 대신 도 7에 도시된 바와 같이 트랜지스터(31)를 연결하여도 동일한 효과를 가져올 수 있다. 보다 구체적으로 설명하면, 상기 트랜지스터가 NPN형 트랜지스터일 경우, 콜렉터 단자는 상기 초기화 테스트 단자(13)와 연결하며, 이미터 단자는 상기 리셋 단자(14)와 연결하여 구현할 수 있다. 상기와 같은 연결을 통해 상술한 다이오드를 통한 연결에서와 동일한 효과를 가져올 수 있다.

- <70> 또한, 상기 트랜지스터의 베이스 단자에는 소정의 제어 신호(32)를 인가하도록 구현함으로써, 상기 트랜지스터를 통한 전류의 흐름을 용이하게 제어할 수 있다.
- <71> 한편, 상기 도 7에는 도시되지 않았지만, 상기 트랜지스터(31)를 PNP형 트랜지스터로 배치할 경우, 이미터 단자는 상기 초기화 테스트 단자(13)와 연결하며, 콜렉터 단자는 상기 리셋 단자(14)와 연결하여 구현할 수 있다.
- <72> 도 8은 본 발명의 제3 실시예에 따른 제이택의 초기화 테스트 단자(TRSTB)에 모스 전계 효과 트랜지스터를 연결하였을 경우의 회로를 나타낸 도면이다.
- <73> 상기 도 7에서와 마찬가지로 상기 초기화 테스트 단자(13)와 상기 리셋 단자(14) 사이에 상기 다이오드 또는 트랜지스터 대신에 모스 전계 효과 트랜지스터(MOSFET; 33)를 연결하는 것도 가능하다.
- <74> 따라서, 상기 모스 전계 효과 트랜지스터의 드레인 단자는 상기 초기화 테스트 단자(13)와 연결하며, 소스 단자는 상기 리셋 단자(14)와 연결하여 구현할 수 있다. 상기와 같은 연결을 통해 상술한 다이오드 및 트랜지스터를 통한 연결에서와 동일한 효과를 가져올 수 있다. 또한, 상기 모스 전계 효과 트랜지스터의 게이트 단자에는 소정의 제어 신호(32)를 인가하도록 구현함으로써, 상기 모스 전계 효과 트랜지스터를 통한 전압을 용이하게 제어할 수 있다.
- <75> 한편, 상기 모스 전계 효과 트랜지스터는 엔채널(N Channel) MOSFET 및 피채널(P Channel) MOSFET 중 어느 것을 사용하여도 본 발명의 목적을 달성할 수 있다.
- <76> 한편 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명



의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

**【발명의 효과】**

<77> 상술한 바와 같이 제이텍 테스트 단자를 가지는 프로세서로 전자기기를 제품화할 경우 테스트 핀의 회로 구성을 상기한 바와 같이 구성하여 누설 전류를 줄일 수 있고, 이를 통해 상기 전자기기가 휴대용으로 구성되는 경우 사용 시간을 늘일 수 있는 이점이 있다

**【특허청구범위】****【청구항 1】**

제이텍 테스트 단자를 구비한 프로세서로 구성되는 전자기기의 회로에 있어서,

상기 프로세서에 구비되는 제이텍 테스트 단자 중 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 반도체 소자를 연결하여 구성하며, 상기 반도체 소자를 통해 상기 초기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순방향 전류가 흐르도록 상기 반도체 소자를 배치함을 특징으로 하는 프로세서의 누설 전류 감소 회로.

**【청구항 2】**

제1항에 있어서,

상기 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 다이오드를 연결하여 구성하며, 상기 다이오드를 통한 전류가 상기 초기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순방향 바이어스가 걸리도록 배치함을 특징으로 하는 프로세서의 누설 전류 감소 회로.

**【청구항 3】**

제1항에 있어서,

상기 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 트랜지스터를 연결하여 구성하며, 상기 트랜지스터를 통한 전류가 상기 초기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순방향 바이어스가 걸리도록 배치함을 특징으로 하는 프로세서의 누설 전류 감소 회로.



**【청구항 4】**

제3항에 있어서,

상기 트랜지스터는 NPN형 트랜지스터이며, 상기 트랜지스터의 컬렉터 단자는 상기 초기화 테스트 핀과 연결되고, 상기 트랜지스터의 에미터 단자는 상기 리셋 핀에 연결됨을 특징으로 하는 프로세서의 누설 전류 감소 회로.

**【청구항 5】**

제3항에 있어서,

상기 트랜지스터는 PNP형 트랜지스터이며, 상기 트랜지스터의 에미터 단자는 상기 초기화 테스트 핀과 연결되고, 상기 트랜지스터의 컬렉터 단자는 상기 리셋 핀에 연결됨을 특징으로 하는 프로세서의 누설 전류 감소 회로.

**【청구항 6】**

제3항에 있어서,

상기 트랜지스터의 베이스 단자에는 상기 초기화 테스트 핀으로부터 상기 리셋 핀으로 흐르는 전류를 제어하는 제어신호가 입력됨을 특징으로 하는 프로세서의 누설 전류 감소 회로.

**【청구항 7】**

제1항에 있어서,

상기 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 모스 전계 효과 트랜지스터 (MOSFET)를 연결하여 구성하며, 상기 모스 전계 효과 트랜지스터를 통한 전류가 상기 초기화 테스트 핀으로부터 상기 리셋 핀의 방향으로 순방향 바이어스가 걸리도록 배치함을 특징으로 하는 프로세서의 누설 전류 감소 회로.

#### 【청구항 8】

제7항에 있어서,

상기 모스 전계 효과 트랜지스터를 엔채널(N Channel) 모스 전계 효과 트랜지스터 (MOSFET)이며, 상기 모스 전계 효과 트랜지스터의 드레인 단자는 상기 초기화 테스트 핀과 연결되고, 상기 모스 전계 효과 트랜지스터의 소스 단자는 상기 리셋 핀에 연결됨을 특징으로 하는 프로세서의 누설 전류 감소 회로.

#### 【청구항 9】

제7항에 있어서,

상기 모스 전계 효과 트랜지스터를 피채널(P Channel) 모스 전계 효과 트랜지스터 (MOSFET)이며, 상기 모스 전계 효과 트랜지스터의 드레인 단자는 상기 초기화 테스트 핀과 연결되고, 상기 모스 전계 효과 트랜지스터의 소스 단자는 상기 리셋 핀에 연결됨을 특징으로 하는 프로세서의 누설 전류 감소 회로.

**【청구항 10】**

제7항에 있어서,

상기 모스 전계 효과 트랜지스터의 게이트 단자에는 상기 초기화 테스트 핀으로부터 상기 리셋 핀에 인가되는 전압을 제어하는 제어신호가 입력됨을 특징으로 하는 프로세서의 누설 전류 감소 회로.

**【청구항 11】**

제1항에 있어서,

상기 제이택 단자를 구비한 프로세서는 이동통신 단말기에 포함되는 모뎀 칩임을 특징으로 하는 프로세서의 누설 전류 감소 회로.

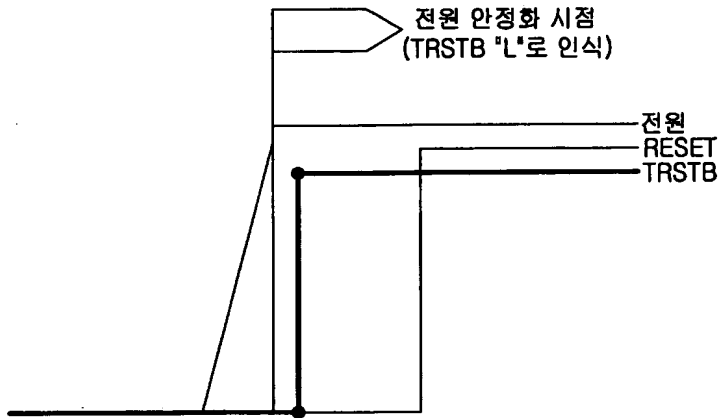
**【청구항 12】**

제1항에 있어서,

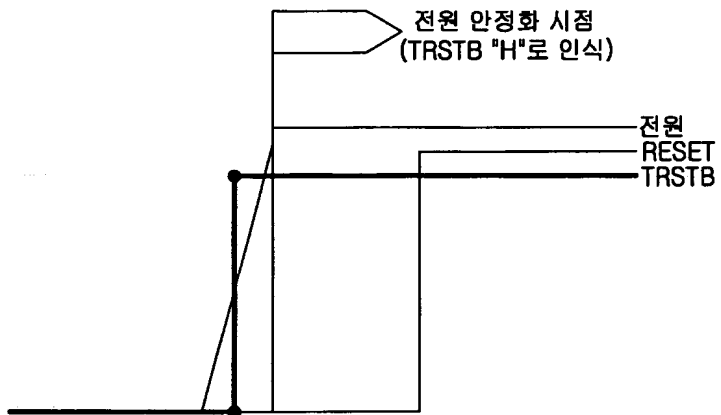
상기 초기화 테스트 핀과 상기 프로세서의 리셋 핀 사이에 연결되는 반도체 소자는 상기 프로세서 칩 내부에 구성됨을 특징으로 하는 프로세서의 누설 전류 감소 회로.

【도면】

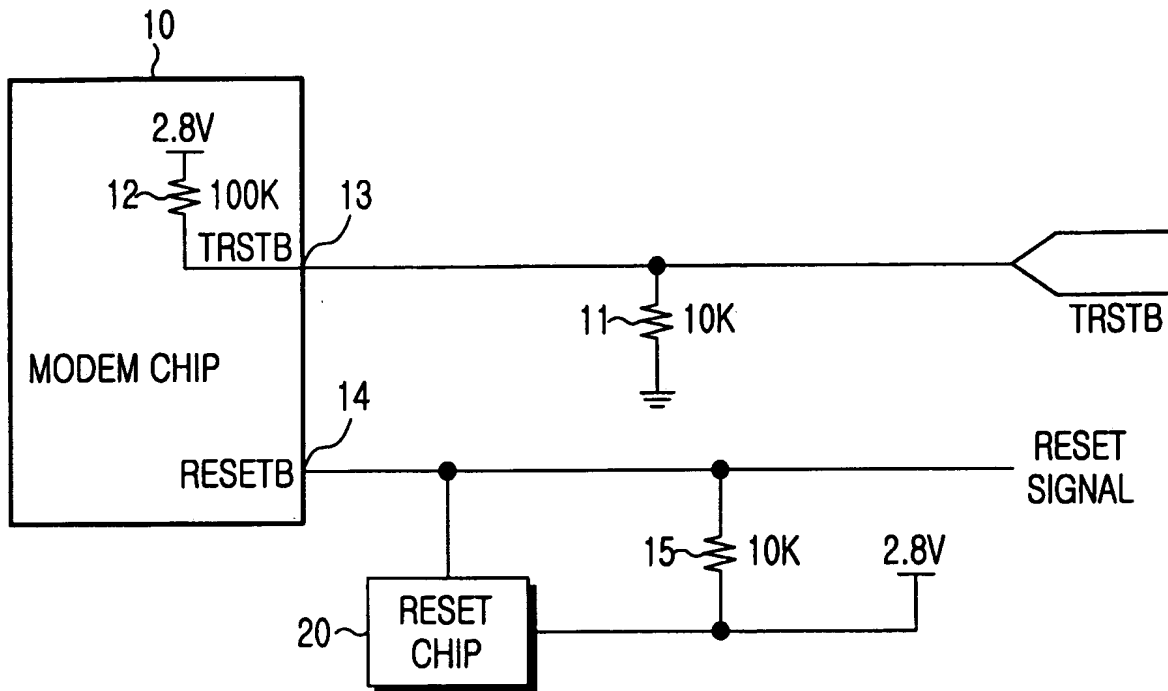
【도 1a】



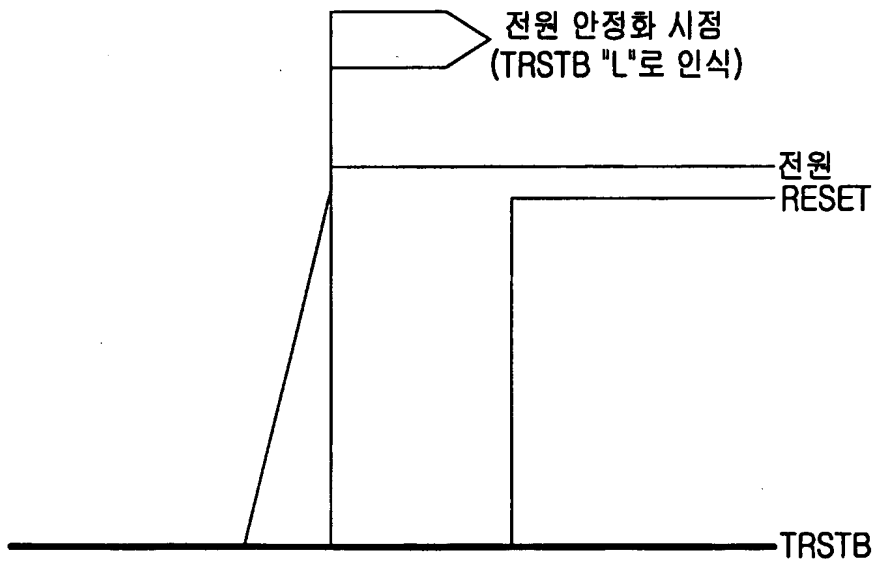
【도 1b】



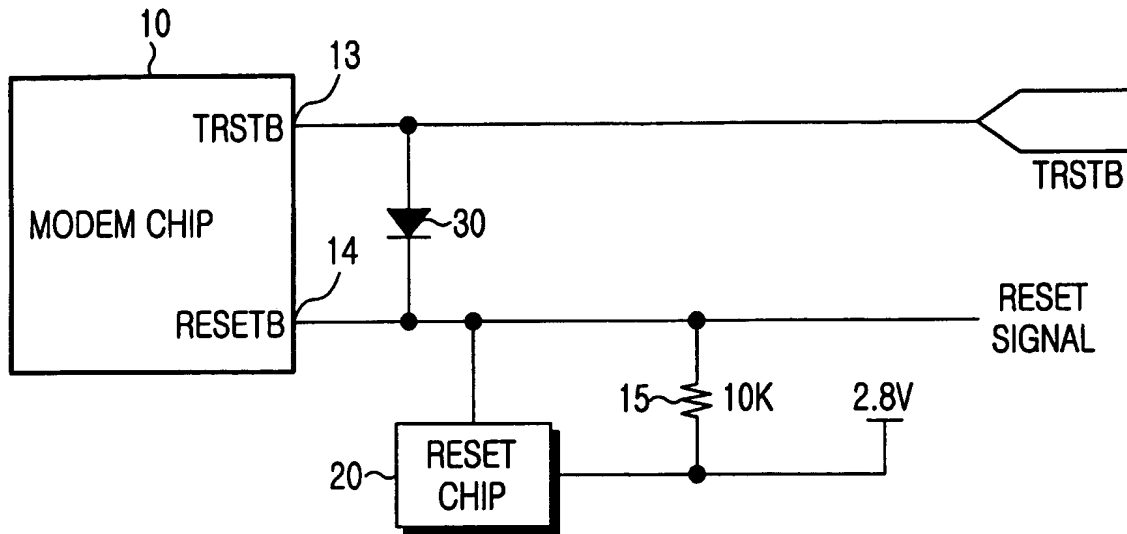
【도 2】



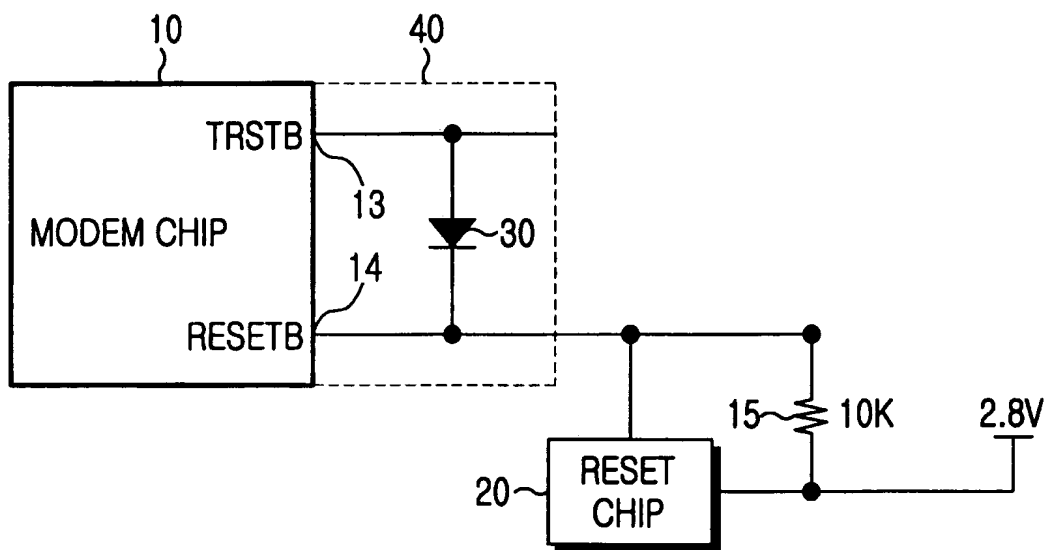
【도 3】



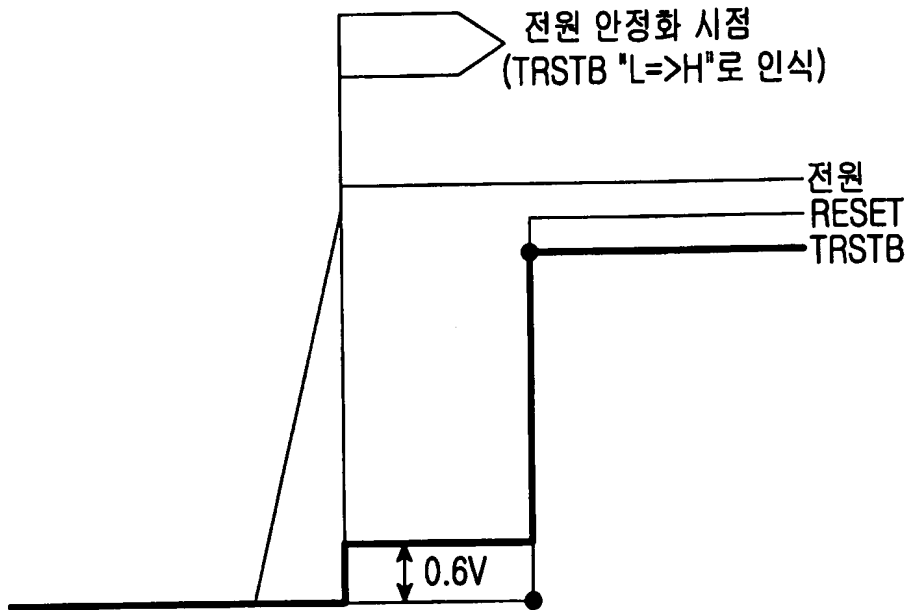
【도 4a】



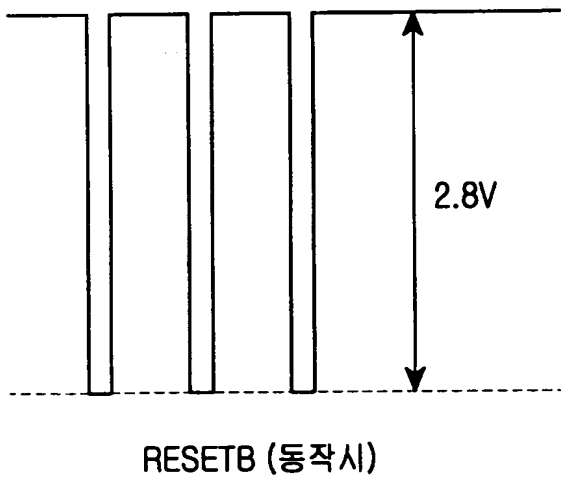
【도 4b】



【도 5】

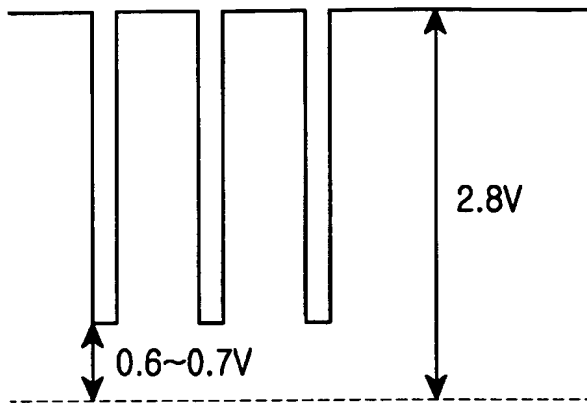


【도 6a】

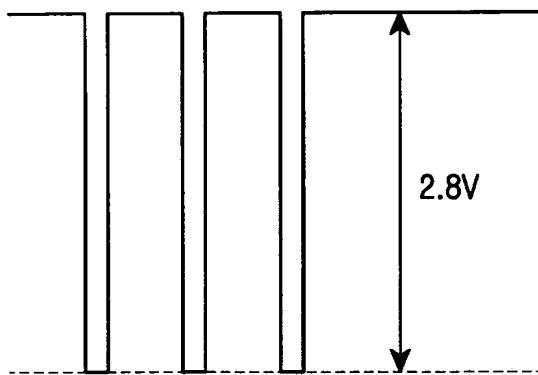




【도 6b】

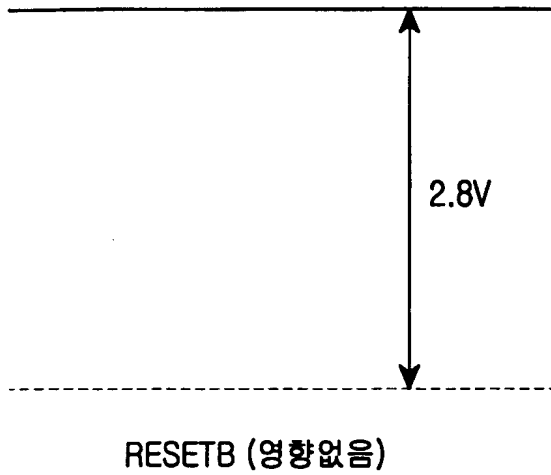


【도 6c】

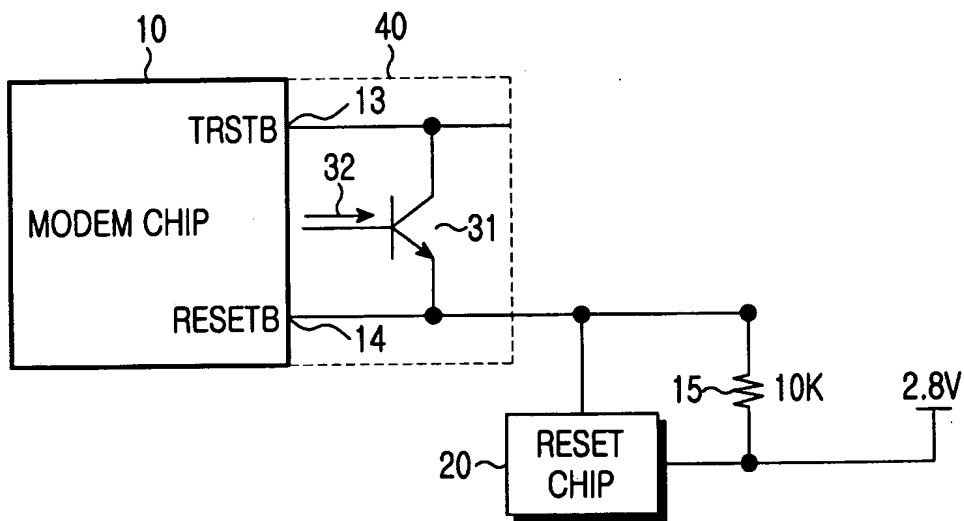




【도 6d】



【도 7】



【도 8】

